

SOFT JUDGMENT SYSTEM AND RECEPTION DEVICE

Publication number: JP10136046 (A)

Publication date: 1998-05-22

Inventor(s): HARADA KEISUKE; AIZAWA MASAMI; TANABE RUMI

Applicant(s): JISEDAI DIGITAL TELE HOSO SYS; TOSHIBA CORP

Classification:

- international: H04L27/34; H03M13/23; H03M13/27; H04L1/00; H04L25/06; H04L27/18; H04L27/38; H04L27/34; H03M13/00; H04L1/00; H04L25/06; H04L27/18; H04L27/38; (IPC1-7): H03M13/12; H03M13/22; H04L27/34; H04L27/18

- European: H04L1/00B5L; H04L25/06C; H04L27/38

Application number: JP19960290798 19961031

Priority number(s): JP19960290798 19961031

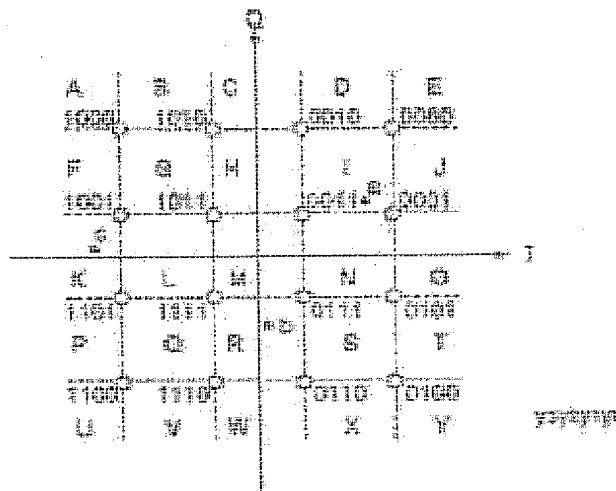
Also published as:

JP2978792 (B2)
EP0840483 (A2)
EP0840483 (A3)
US6115435 (A)
KR100266122 (B1)

more >>

Abstract of JP 10136046 (A)

PROBLEM TO BE SOLVED: To provide a soft judgment system which can realize soft judgment in multivalue modulation and which can sufficiently show the correction capability of the maximum likelihood code. **SOLUTION:** When reception symbols exist in areas G, H, I, L, M, N, Q, R and S, either two bits are judged to be certain, and soft judgement values are judged to be zero or seven. On the remaining two bits, soft judgment values are judged to be 0-7 by soft judgement in the direction of an I-axis or a Q-axis. When the reception symbols exist in areas A, E, U and Y, four bits are judged to be certain, and the soft judgment values of them are judged to be zero or seven. When the reception symbols exist in areas B, C, D, F, J, K, O, P, T, V, W and X, either three bits are judged to be certain, and the soft judgement values of them are judged to be zero or seven.; On the remaining one bit, the soft judgment value is judged to be 0-7 by soft judgment in the direction of the I-axis or the Q-axis.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-136046

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁹

識別記号

F I

H 0 4 L 27/34

H 0 4 L 27/00

E

27/18

27/18

B

// H 0 3 M 13/12

H 0 3 M 13/12

13/22

13/22

審査請求 有 請求項の数 8 O L (全 9 頁)

(21) 出願番号

特願平8-290798

(22) 出願日

平成 8 年(1996) 10月31日

(71) 出願人 39501/298

株式会社次世代デジタルテレビジョン放送
システム研究所
東京都港区赤坂 5 丁目 2 番 8 号

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 原田 啓介

東京都港区赤坂 5 丁目 2 番 8 号 株式会社
次世代デジタルテレビジョン放送システム
研究所内

(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

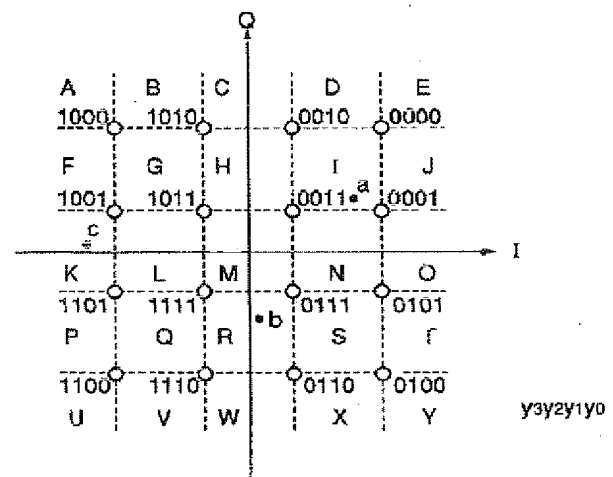
最終頁に続く

(54) 【発明の名称】 軟判定方式及び受信装置

(57) 【要約】

【課題】多値変調における軟判定が可能で、最尤符号の訂正能力を十分に発揮できる軟判定方式を提供を提供する。

【解決手段】受信シンボルが領域G, H, I, L, M, N, Q, R, Sの中にあるときは、いずれかの2ビットは確からしいと判定し、それぞれ軟判定値=0又は7と判定する。残りの2ビットについては、I軸又はQ軸方向の軟判定により軟判定値=0〜7と判定する。受信シンボルが領域A, E, U, Yにあるときは、4ビットとも確からしいと判定し、それぞれ軟判定値=0又は7と判定する。受信シンボルが領域B, C, D, F, J, K, O, P, T, V, W, Xの中にあるときは、いずれかの3ビットは確からしいと判定し、それぞれ軟判定値0又は7と判定する。残りの1ビットについては、I軸又はQ軸方向の軟判定により軟判定値0〜7と判定する。



y3y2y1y0

【特許請求の範囲】

【請求項1】 多相変調、多振幅変調を含む多値変調による伝送方式に用いられ、領域により決定される正しいシンボルの候補となる1個以上のシンボルに関し、同一となるビットについては硬判定を行い、異なるビットについては軟判定を行うことを特徴とする軟判定方式。

【請求項2】 前記多値変調が多値QAMであるとき、領域により正しいシンボルの候補となる所定の4または2または1シンボルを選択し、選択されたシンボルに関し、同一となるビットについては硬判定を行い、異なるビットとなる2または1または0ビットについては軟判定を行うことを特徴とする請求項1に記載の軟判定方式。

【請求項3】 前記多値変調が多値DAPSK、多値APSKを含む多値PSKであるとき、領域により決定される正しいシンボルの候補となる1個以上のシンボルに関し、振幅方向のビットの内の1ビット、及び領域により決定する位相方向の1ビット、の計2ビットの内の2または1または0ビットについては軟判定を行い、他のビットについては硬判定を行うことを特徴とする請求項1に記載の軟判定方式。

【請求項4】 前記多値変調が多相変調であるとき、領域により決定される正しいシンボルの候補となる1個以上のシンボルに関し、領域により決定される位相方向の1ビットの内の1または0ビットを軟判定し、他のビットは硬判定を行うことを特徴とする請求項1に記載の軟判定方式。

【請求項5】 多値変調された符号化信号を受信して復号出力する受信装置において、請求項1から請求項4に記載の軟判定方式のうちいずれかの軟判定方式による軟判定値を出力する軟判定回路を具備することを特徴とする受信装置。

【請求項6】 多値変調された受信信号を入力とし、復調及びデマッピングして出力する復調及びデマッピング回路と、前記復調及びデマッピング回路の出力を入力とし、請求項1から請求項4記載の軟判定方式のうちいずれかの軟判定方式による軟判定値を出力する軟判定回路と、前記軟判定回路の出力を入力とし、デインターリーブを行い出力するデインターリーブ回路と、前記デインターリーブ回路の出力を入力とし、FEC (Forward Error Correction) 復号を行い出力するFEC復号回路とを具備することを特徴とする受信装置。

【請求項7】 多値変調された受信信号を入力とし、復調及びデマッピングして出力する復調及びデマッピング回路と、前記復調及びデマッピング回路の出力を入力とし、デインターリーブを行い出力するデインターリーブ回路と、前記デインターリーブ回路の出力を入力とし、請求項1から請求項4記載の軟判定方式のうちいずれかの軟判定

方式による軟判定値を出力する軟判定回路と、前記軟判定回路の出力を入力とし、FEC (Forward Error Correction) 復号を行い出力するFEC復号回路とを具備することを特徴とする受信装置。

【請求項8】 多値変調された受信信号を入力とし、復調及びデマッピングして出力する復調及びデマッピング回路と、前記復調及びデマッピング回路の出力を入力とし、シンボル単位でデインターリーブを行い出力するシンボルデインターリーブ回路と、前記シンボルデインターリーブ回路の出力を入力とし、請求項1から請求項4記載の軟判定方式のうちいずれかの軟判定方式による軟判定値を出力する軟判定回路と、前記軟判定回路の出力を入力とし、ビット単位でデインターリーブを行い出力するビットデインターリーブ回路と、前記ビットデインターリーブ回路の出力を入力とし、FEC (Forward Error Correction) 復号を行い出力するFEC復号回路とを具備することを特徴とする受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多値変調における軟判定方式及び受信装置に関する。

【0002】

【従来の技術】近年、デジタルテレビジョン放送の研究が活発に行われているが、そのデジタル信号伝送方式の中で、最尤符号をはじめ受信シンボルを軟判定することにより特性の向上するFEC (Forward Error Correction) 符号伝送方式が注目されている。

【0003】この方式の一例として、たたみこみ符号化—ビタビ復号を用いる伝送方式を考える。送信側では、図13に示すように、データ系列をたたみ込み符号化(11)して、マッピング及び変調(12)を行い、送信信号とする。受信側では、図14に示すように、受信信号を復調及びデマッピング(13)して、さらにFEC復号(14)としてビタビ復号(141)を行い、復号データとする。

【0004】ここで、変調方式としてQPSKを用いる伝送方式では、例えば図15に示すような8値軟判定をすることにより、硬判定のときより特性が向上することが知られている。尚、図15に示す例では、ビットが最も0らしいときは軟判定値0とし、ビットが最も1らしいときは軟判定値7としている。

【0005】

【発明が解決しようとする課題】しかしながら、デジタルテレビジョン放送等では、さらに多値の変調方式が採用される方向にあるのに対し、多値変調の軟判定方式は知られていない。硬判定では最尤符号の訂正能力を十分に生かすことができないという問題点がある。

【0006】本発明は、上記の問題点を解決し、多値変調における軟判定が可能で、最尤符号の訂正能力を十分に発揮できる軟判定方式を提供し、同時にこの軟判定方式を採用した受信装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明に係る軟判定方式は以下のような処理を行う。

(1) 多相変調、多振幅変調を含む多値変調による伝送方式に用いられ、領域により決定される正しいシンボルの候補となる1個以上のシンボルに関し、同一となるビットについては硬判定を行い、異なるビットについては軟判定を行う。

【0008】(2) (1)の処理による軟判定方式において、前記多値変調が多値QAMであるとき、領域により正しいシンボルの候補となる所定の4または2または1シンボルを選択し、選択されたシンボルに関し、同一となるビットについては硬判定を行い、異なるビットとなる2または1または0ビットについては軟判定を行う。

【0009】(3) (1)の処理による軟判定方式において、前記多値変調が多値DPSK、多値APSKを含む多値PSKであるとき、領域により決定される正しいシンボルの候補となる1個以上のシンボルに関し、振幅方向のビットの内の1ビット、及び領域により決定する位相方向の1ビット、の計2ビットの内の2または1または0ビットについては軟判定を行い、他のビットについては硬判定を行う。

【0010】(4) (1)の処理による軟判定方式において、前記多値変調が多相変調であるとき、領域により決定される正しいシンボルの候補となる1個以上のシンボルに関し、領域により決定される位相方向の1ビットの内の1または0ビットを軟判定し、他のビットは硬判定を行う。

【0011】また、本発明に係る受信装置は以下のように構成される。

(5) 多値変調された符号化信号を受信して復号出力する受信装置において、(1)～(4)に記載の軟判定方式のうちいづれかの軟判定方式による軟判定値を出力する軟判定回路を具備する。

【0012】(6) 多値変調された受信信号を入力とし、復調及びデマッピングして出力する復調及びデマッピング回路と、前記復調及びデマッピング回路の出力を入力とし、請求項1から請求項4記載の軟判定方式のうちいづれかの軟判定方式による軟判定値を出力する軟判定回路と、前記軟判定回路の出力を入力とし、デインターリーブを行い出力するデインターリーブ回路と、前記デインターリーブ回路の出力を入力とし、FEC(Forward Error Correction)復号を行い出力するFEC復号回路とを具備する。

【0013】(7) 多値変調された受信信号を入力とし、復調及びデマッピングして出力する復調及びデマッピング回路と、前記復調及びデマッピング回路の出力を入力とし、デインターリーブを行い出力するデインターリーブ回路と、前記デインターリーブ回路の出力を入力とし、(1)～(4)に記載の軟判定方式のうちいづれかの軟判定方式による軟判定値を出力する軟判定回路と、前記軟判定回路の出力を入力とし、FEC復号を行い出力するFEC復号回路とを具備する。

【0014】(8) 多値変調された受信信号を入力とし、復調及びデマッピングして出力する復調及びデマッピング回路と、前記復調及びデマッピング回路の出力を入力とし、シンボル単位でデインターリーブを行い出力するシンボルデインターリーブ回路と、前記シンボルデインターリーブ回路の出力を入力とし、(1)～(4)に記載の軟判定方式のうちいづれかの軟判定方式による軟判定値を出力する軟判定回路と、前記軟判定回路の出力を入力とし、ビット単位でデインターリーブを行い出力するビットデインターリーブ回路と、前記ビットデインターリーブ回路の出力を入力とし、FEC復号を行い出力するFEC復号回路とを具備する。

【0015】すなわち、(1)～(4)の軟判定方式では、多相変調、多振幅変調を含む多値変調において、領域により決定する確からしい数シンボルに関し、同一となるビットについては確からしいと判定し、異なるビットについては軟判定を行うことを特徴とする。これにより、(5)～(8)のような軟判定回路を用いた受信装置を実現することができ、硬判定したときと比較して、BER(Bit Error Rate)対C/N特性を約2dB向上させることができる。

【0016】

【発明の実施の形態】以下、図1乃至図12を参照して本発明の実施の形態について詳細に説明する。

(第1の実施形態) 図1乃至図4を参照して、第1の実施形態とする16QAM変調の軟判定方式を説明する。ここで、図1は16QAMによるグレイコードマッピングの一例を示し、図2乃至図4はそれぞれ図1に示す領域I、R、Kの拡大図を示す。この場合、図1に示すA～Yの領域毎に軟判定するビットが異なる。

【0017】図1において、受信シンボルが点aの位置にあるとき、その領域Iの4角のシンボルでは、上位2ビットy3、y2が共通なので、各ビットy3、y2を最も0らしいと判定する。すなわち、y3、y2については軟判定値=0と判定する。下位2ビットy1、y0については、図2に示すように、I軸方向の軟判定によりy1の軟判定値=2、Q軸方向の軟判定によりy0の軟判定値=6と判定する。

【0018】受信シンボルが点bの位置にあるとき、その領域Rの4角のシンボルでは、y2、y1の2ビットが共通なので、各ビットy2、y1を最も1らしいと判

定する。すなわち、 y_2 , y_1 については軟判定値=7と判定する。他の2ビット y_3 , y_0 については、図3に示すように、I軸方向の軟判定により y_3 の軟判定値=3、Q軸方向の軟判定により y_0 の軟判定値=5と判定する。

【0019】点a、点bと同様に、受信シンボルが領域G, H, I, L, M, N, Q, R, Sの中にあるときは、いずれかの2ビットは確からしいと判定し、それぞれのビットの軟判定値=0又は7と判定する。残りの2ビットについては、I軸又はQ軸方向の軟判定により軟判定値=0~7と判定する。

【0020】受信シンボルが領域Eの中にあるときは、4ビットとも最も0らしいと判定し、それぞれ軟判定値=0と判定する。同様に受信シンボルが領域A, E, U, Yにあるときは、4ビットとも確からしいと判定し、それぞれ軟判定値=0又は7と判定する。

【0021】受信シンボルが点cの位置にあるとき、その領域Kの2角のシンボルでは、 y_3 , y_1 , y_0 のビットが共通なので、それぞれのビット y_3 , y_1 , y_0 を最も1又は0らしいと判定する。すなわち、 y_3 については軟判定値=7、 y_1 については軟判定値=0、 y_0 については軟判定値=7と判定する。 y_2 については、図4に示すように、Q軸方向の軟判定により軟判定値=3と判定する。

【0022】点cと同様に、受信シンボルが領域B, C, D, F, J, K, O, P, T, V, W, Xの中にあるときは、いずれかの3ビットは確からしいと判定し、それぞれ軟判定値0又は7と判定する。残りの1ビットについては、I軸又はQ軸方向の軟判定により軟判定値0~7と判定する。

【0023】尚、軟判定値は、本実施形態のように8値でなくても、他の値による同様の判定方法が使用できる。また、非線形な軟判定方法も使用可能である。また、本実施形態では、便宜上、軟判定値を0~7で表現したが、'000'~'111'のようにバイナリ表示でもよい。また、-4~4のように9値軟判定としてもよい。

【0024】(第2の実施形態)図5を参照して、第2の実施形態とする64QAM変調の軟判定方法を説明する。図5は64QAMによるグレーコードマッピングの一例を示し、図6は図5に示す領域H5の拡大図を示す。

【0025】図5において、受信シンボルが点dの位置にあるとき、その領域H5の4角のシンボルでは、図6に示すように上位4ビットが共通なので、それぞれ確からしいと判定する。すなわち、それぞれ軟判定値0又は7と判定する。 y_5 については軟判定値0、 y_4 については軟判定値0、 y_3 については軟判定値7、 y_2 については軟判定値7と判定する。下位2ビットについては、図6に示すように、I軸方向の軟判定により y_1 の

軟判定値=5、Q軸方向の軟判定により y_0 の軟判定値=1と判定する。

【0026】点dと同様に、受信シンボルが領域F1~F7, G1~G7, H1~H7, I1~I7, J1~J7, K1~K7, L1~L7の中にあるとき、各領域の4角のシンボルでは、4ビットについてはそれぞれ確からしいと判定し、軟判定値0又は7と判定する。残りの2ビットについては、I軸又はQ軸方向に軟判定し、軟判定値0~7と判定する。

【0027】受信シンボルが領域A1~A4の中にあるとき、各領域の4角のシンボルでは6ビットとも確からしいと判定し、それぞれ軟判定値0又は7と判定する。受信シンボルが領域B1~B7, C1~C7, D1~D7, E1~E7の中にあるとき、各領域の4角のシンボルでは、5ビットについてはそれぞれ確からしいと判定し、軟判定値0又は7と判定する。残りの1ビットについては、I軸又はQ軸方向に軟判定し、軟判定値0~7と判定する。

【0028】尚、本実施形態においても、軟判定値は8値に限らず、他の値による同様の判定方法が使用できる。また、非線形な軟判定方法も使用可能である。また、本実施形態でも、便宜上、軟判定値を0~7で表現したが、'000'~'111'のようにバイナリ表示でもよい。また、-4~4のように9値軟判定としてもよい。

【0029】(第3の実施形態)図7を参照して、第3の実施形態とする8PSK変調の軟判定方法を説明する。ここで、図7は8PSKによるグレーコードマッピングの一例を示す。

【0030】図7において、受信シンボルが点eの位置にあるとき、その領域A内の2シンボルでは、上位2ビットが共通なので、それぞれ確からしいと判定する。すなわち、それぞれ軟判定値0と判定する。下位1ビットは、図7に示すように、位相により軟判定値5と判定する。

【0031】同様に、A~Hのいずれの領域においても、領域に含まれる2シンボルで共通となる2ビットについては、確からしい、すなわち、軟判定値0又は7と判定する。

【0032】尚、本実施形態においても、軟判定値は8値に限らず、他の値による同様の判定方法が使用できる。また、非線形な軟判定方法も使用可能である。また、本実施形態でも、便宜上、軟判定値を0~7で表現したが、'000'~'111'のようにバイナリ表示でもよい。また、-4~4のように9値軟判定としてもよい。

【0033】(第4の実施形態)図8を参照して、第4の実施形態とする16APSK変調の軟判定方法を説明する。ここで、図8は、16APSKと共に、次に説明する16DAPSKの場合のグレーコードマッピングの

一例を示す。尚、本実施形態では、位相方向と振幅方向の判定を別々に行う。すなわち、 y_2 、 y_1 、 y_0 が位相方向のビット、 y_3 が振幅方向のビットとなる。

【0034】図8において、受信シンボルが点fの位置にあるとき、その領域Hの4シンボルでは、下位2ビットが共通なので、それぞれ確からしいと判定する。すなわち、 y_1 、 y_0 それぞれの軟判定値=0と判定する。また、位相方向の軟判定により y_2 の軟判定値=4、振幅方向の軟判定により y_3 の軟判定値=2と判定する。

【0035】受信シンボルが点gのとき、領域Hの4シンボルでは、下位2ビットが共通なので、確からしいと判定する。すなわち、 y_1 、 y_0 それぞれの軟判定値0と判定する。位相方向の軟判定により y_2 の軟判定値=3、振幅方向の軟判定により y_3 の軟判定値=7と判定する。

【0036】受信シンボルが点hのとき、領域Hの4シンボルでは、下位2ビットが共通なので、確からしいと判定する。すなわち、 y_1 、 y_0 それぞれの軟判定値0と判定する。位相方向の軟判定により y_2 の軟判定値=1、振幅方向の軟判定により y_3 の軟判定値=0と判定する。

【0037】尚、本実施形態においても、軟判定値は8値に限らず、他の値による同様の判定方法が使える。また、非線形な軟判定方法でも同様の判定方法が使える。また、本実施形態でも、便宜上、軟判定値を0～7で表現したが、'000'～'111'のようにバイナリ表示でもよい。また、-4～4のように9値軟判定としてもよい。

【0038】(第5の実施形態)図8及び図9を参照して、第5の実施形態とする16DAPSK変調の軟判定方法を説明する。尚、本実施形態においても、位相方向と振幅方向の判定を別々に行う。すなわち、 y_2 、 y_1 、 y_0 が位相方向のビット、 y_3 が振幅方向のビットとなる。予め送信側で、 y_2 、 y_1 、 y_0 で構成される8値においてグレイコード加算による差動符号化を施しておく。 y_3 についても送信側で差動符号化しておく。

【0039】受信側では、遅延検波または同期検波された2シンボルの位相差を求める。この位相差より、第4の実施形態の要領で、 y_2 、 y_1 、 y_0 のうち、確からしい2ビットについては軟判定値=0又は7と判定する。1ビットは軟判定値=0～7と判定する。

【0040】また、遅延検波または同期検波された2シンボルの振幅比を求める。この振幅比より、 y_3 の軟判定値を求める。この場合、振幅比が1のとき y_3 の軟判定値=0、振幅比が α 又は $1/\alpha$ のとき y_3 の軟判定値=1となると、図9に示すように軟判定を行う。

【0041】尚、本実施形態において、隣り合う軟判定値の境目については、等間隔でも、線形な間隔でも、非線形な間隔でもよいことは勿論である。

(第6の実施形態)図11を参照し、第6の実施形態と

する受信装置について説明する。尚、ここでは、変調方式として16QAM変調が用いられ、送信側が図10に示すような手順で符号化処理を行うものとする。

【0042】送信側では、図10に示すように、初めにデータ系列をたたみこみ符号化し(21)、次にインターリーブを行う(22)。このインターリーブは、まずビット単位で行った後(221)、シンボル単位すなわち4ビット単位で行う(222)。最後に、16QAMにマッピングし、変調して、送信信号とする(23)。

【0043】図11は上記符号化伝送方式における受信装置の構成を示すものである。図11において、復調及びデマッピング回路31は、受信信号を入力とし、復調及びデマッピングを行ってIQデータを出力する。軟判定回路32は、復調及びデマッピング回路31の出力を入力とし、第1の実施形態の軟判定方式による軟判定を行い、その軟判定値を出力する。

【0044】デインターリーブ回路33は、軟判定回路32の出力を入力とし、シンボルデインターリーブ回路331でシンボル単位のデインターリーブを行い、ビットデインターリーブ回路332でビット単位のデインターリーブを行う。FEC復号回路34は、デインターリーブ回路33の出力を入力とし、ビタビ復号器341により軟判定ビタビ復号を行い、その復号データを出力とする。

【0045】上記構成において、以下にその処理内容について説明する。例えば、情報1ビット当りの軟判定値を3ビットで表現する。この場合、復調及びデマッピング回路31では、受信信号を復調及びデマッピングすることにより、出力各5ビット以上のIQデータを得る。次に、軟判定回路32では、IQデータより、各情報ビット当り3ビットの軟判定値を得る。

【0046】デインターリーブ回路33では、シンボルデインターリーブ回路331により、軟判定値3ビット×情報4ビット分、すなわち12ビット単位でデインターリーブを行い、続いてビットデインターリーブ回路332により、軟判定値3ビット×情報1ビット分、すなわち3ビット単位でデインターリーブを行う。

【0047】FEC復号回路34では、ビットデインターリーブ後の軟判定値を、情報2ビット分、すなわち6ビット単位で入力し、順次軟判定ビタビ復号を行い、これによって得られた復号データを出力する。

【0048】上記構成による受信装置によれば、軟判定回路32において第1の実施形態の軟判定方式による軟判定を行うようにしているので、軟判定ビタビ復号による誤り訂正が可能となり、最尤符号の訂正能力を十分に発揮させることができる。

【0049】尚、上記実施形態では、先に軟判定を行ってからデインターリーブを行うようにしているが、図11の軟判定回路32とデインターリーブ回路33を入れ替えて、先にデインターリーブを行ってから軟判定を行

うようにしてもよいことは勿論である。

【0050】(第7の実施形態)図12を参照し、第7の実施形態とする受信装置について説明する。尚、ここでも、変調方式として16QAM変調が用いられ、送信側が図10に示すような手順で符号化処理を行うものとする。

【0051】図12は上記符号化伝送方式における受信装置の他の構成を示すものである。図12において、復調及びデマッピング回路41は、受信信号を入力とし、復調及びデマッピングを行ってIQデータを出力する。シンボルデインターリーブ回路42は、復調及びデマッピング回路41の出力を入力とし、シンボル単位でデインターリーブを行って出力する。軟判定回路43は、デインターリーブ回路42の出力を入力とし、第1の実施形態の軟判定方式を行い、その軟判定値を出力する。

【0052】ビットデインターリーブ回路44は、軟判定回路43の出力を入力とし、ビット単位でデインターリーブを行って出力する。FEC復号回路45は、ビットデインターリーブ回路44の出力を入力とし、ビタビ復号器451により軟判定ビタビ復号を行い、その復号データを出力とする。

【0053】上記構成において、以下にその処理内容について説明する。例えば、情報1ビット当りの軟判定値を3ビットで表現する。この場合、復調及びデマッピング回路41では、受信信号を復調及びデマッピングすることにより、出力各5ビット以上のIQデータを得る。次に、シンボルデインターリーブ回路42では、IQ各5ビットの計10ビット単位でシンボルインターリーブを行う。

【0054】次に、軟判定回路43では、IQデータより、各情報ビット当り3ビットの軟判定値を得る。ビットデインターリーブ回路44では、軟判定値3ビット×情報1ビット分、すなわち3ビット単位でビットデインターリーブを行う。FEC復号回路45では、ビットデインターリーブ後の軟判定値を情報2ビット分、すなわち6ビット単位で入力し、順次軟判定ビタビ復号を行い、これによって得られた復号データを出力する。

【0055】上記構成による受信装置によっても、軟判定回路43において第1の実施形態の軟判定方式による軟判定を行うようにしているので、軟判定ビタビ復号による誤り訂正が可能となり、最尤符号の訂正能力を十分に発揮させることができる。

【0056】また、図11の受信装置ではシンボルインターリーブを12ビット単位で行っていたが、図12の受信装置ではシンボルインターリーブ10ビット単位で行うことが可能となり、ハード規模の小さい受信装置を実現することができる。

【0057】(他の実施形態)尚、上記第6及び第7の実施形態では、変調方式を16QAMとし、第1の実施形態による軟判定方式を用いるものとしたが、変調方式

が64QAMならば第2の実施形態の軟判定方式、8PSKならば第3の実施形態の軟判定方式、16APSKならば第4の実施形態の軟判定方式、16DAPSKならば第5の実施形態による軟判定方式を採用することによって、同様の作用効果を得ることができる。

【0058】勿論、例にあげていない多相変調、多振幅変調を含む多値変調であっても、領域により決定する確からしい数シンボルにおいて同一となるビットについては確からしいと判定し、異なるビットに関しては軟判定を行うことで、軟判定復号が可能となり、最尤符号の訂正能力を十分に引き出すことができる。

【0059】

【発明の効果】以上のように本発明によれば、多値変調における軟判定が可能で、最尤符号の訂正能力を十分に発揮できる軟判定方式を提供し、同時にこの軟判定方式を採用した受信装置を提供することができる。

【図面の簡単な説明】

【図1】 第1の実施形態とする16QAM変調のマッピングの様子を示す図。

【図2】 第1の実施形態における軟判定方式の第1の例を示す図。

【図3】 第1の実施形態における軟判定方式の第2の例を示す図。

【図4】 第1の実施形態における軟判定方式の第3の例を示す図。

【図5】 第2の実施形態とする64QAM変調のマッピングの様子を示す図。

【図6】 第2の実施形態における軟判定方式の例を示す図。

【図7】 第3の実施形態とする8PSK変調のマッピングの様子と軟判定方式の例を示す図。

【図8】 第4及び第5の実施形態とする16APSK変調、16DAPSK変調のマッピングの様子と、第4の実施形態とする16APSK変調における軟判定方式の例を示す図。

【図9】 第5の実施形態とする16APSK変調における軟判定方式の例を示す図。

【図10】 第6及び第7の実施形態の伝送方式における送信側の信号処理の例を示すブロック図。

【図11】 第6の実施形態における受信装置の構成を示すブロック図。

【図12】 第7の実施形態における受信装置の構成を示すブロック図。

【図13】 従来のたたみ込み符号ービタビ復号伝送方式における送信側の信号処理の構成例を示すブロック図。

【図14】 従来のたたみ込み符号ービタビ復号伝送方式における受信側の信号処理の構成例を示すブロック図。

【図15】 従来のQPSK変調における軟判定の例を

示す図。

【符号の説明】

- 1 1…たたみ込み符号化回路
- 1 2…マッピング及び変調回路
- 1 3…復調及びデマッピング回路
- 1 4…ビタビ復号回路
- 2 1…たたみ込み符号化回路
- 2 2…インターリーブ回路
- 2 2 1…ビットインターリーブ回路
- 2 2 2…シンボルインターリーブ回路
- 2 3…マッピング及び変調回路
- 3 1…復調及びデマッピング回路

3 2…軟判定回路

3 3…デインターリーブ回路

3 3 1…シンボルデインターリーブ回路

3 3 2…ビットデインターリーブ回路

3 4…FEC復号回路

3 4 1…ビタビ復号器

4 1…復調及びデマッピング回路

4 2…シンボルデインターリーブ回路

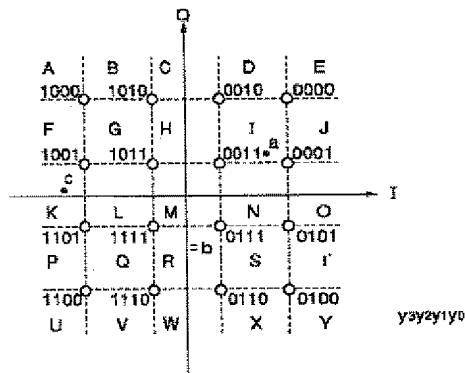
4 3…軟判定回路

4 4…ビットデインターリーブ回路

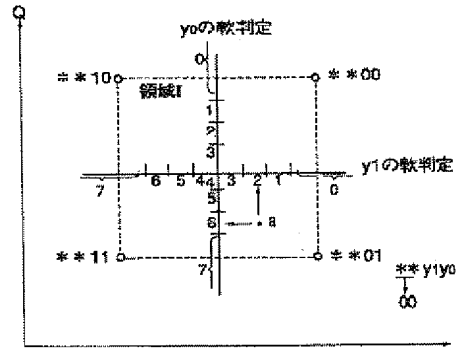
4 5…FEC復号回路

4 5 1…ビタビ復号器

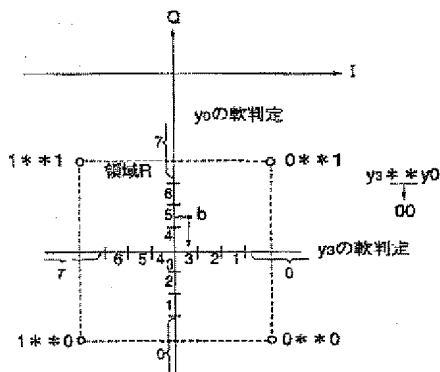
【図1】



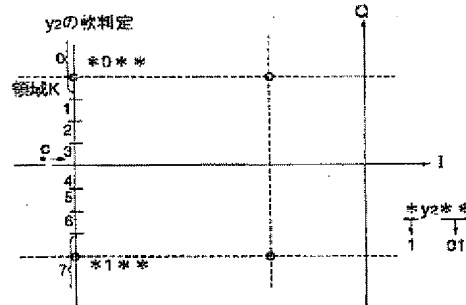
【図2】



【図3】

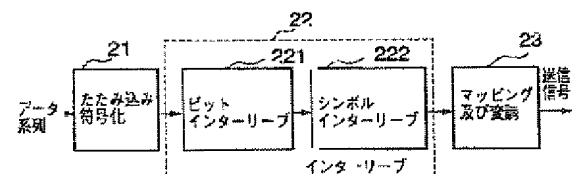
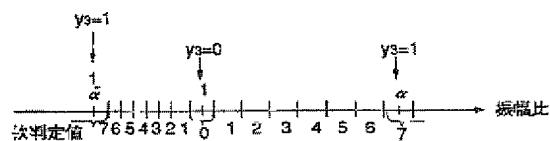


【図4】

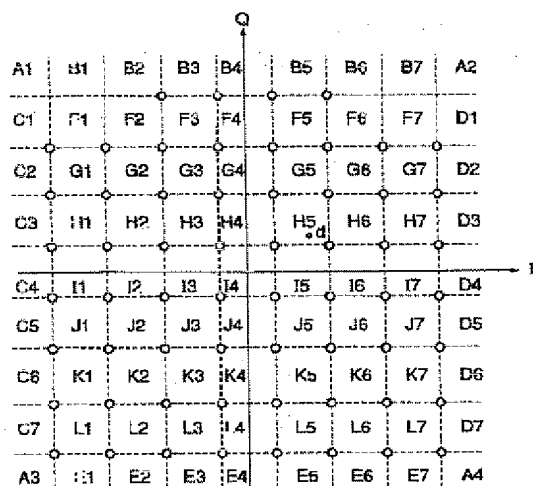


【図10】

【図9】

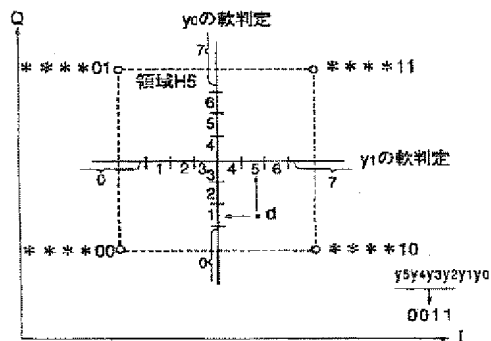


【図5】

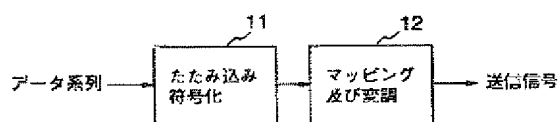


y6y4y3y2y1y0

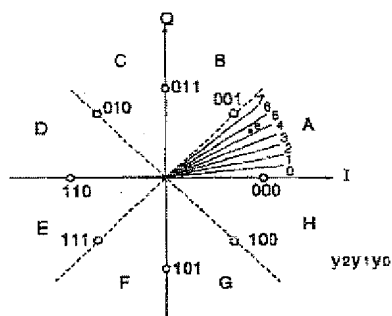
【図6】



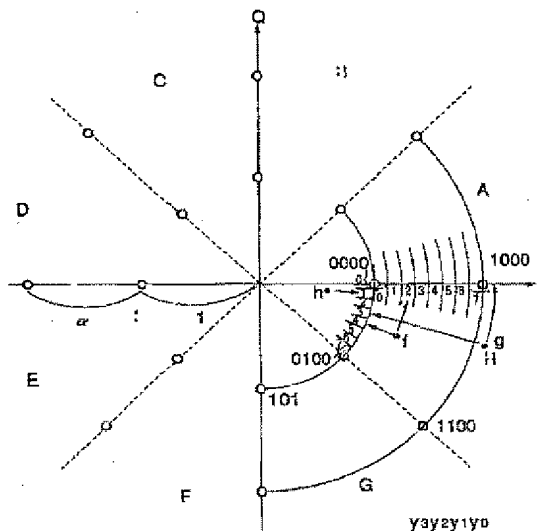
【図13】



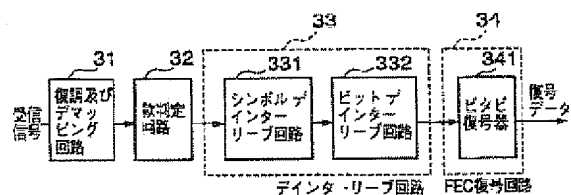
【図7】



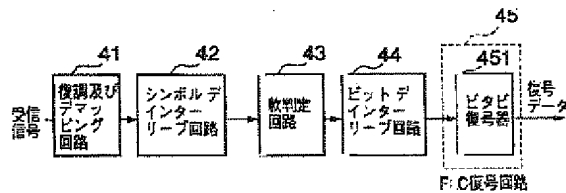
【図8】



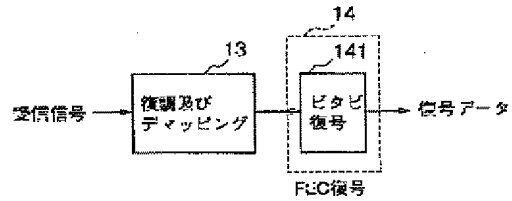
【図11】



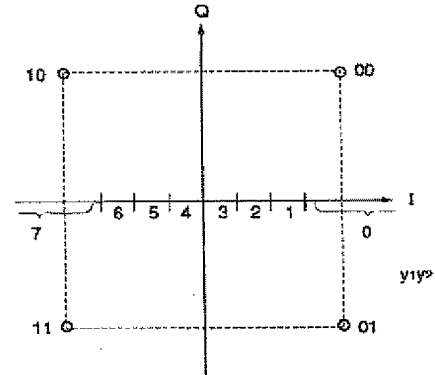
【図12】



【図14】



【図15】



フロントページの続き

(72)発明者 相沢 雅巳
東京都港区赤坂5丁目2番8号 株式会社
次世代デジタルテレビジョン放送システム
研究所内

(72)発明者 田辺 ルミ
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝マルチメディア技術研究所内